

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-080072

(43)Date of publication of application : 27.03.2001

(51)Int.Cl.

B41J 2/045

B41J 2/055

B41J 2/51

B41J 2/485

(21)Application number : 11-259816

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 14.09.1999

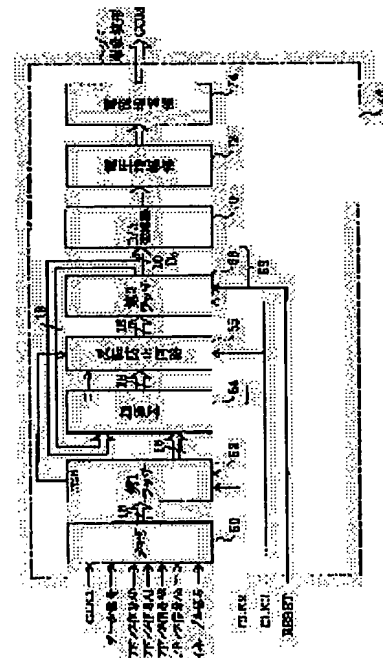
(72)Inventor : FUKANO TAKAKAZU
TAMURA NOBORU
ASAUCHI NOBORU
NISHIHARA YUICHI

(54) PRINTING APPARATUS AND APPARATUS AND METHOD FOR GENERATING DRIVING WAVEFORM

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent a driving waveform from suddenly changing due to cumulative errors by digital/analog converting specific upper bits among the cumulative result of a plurality of accumulated bits and outputting as an analog signal.

SOLUTION: Driving waveform data fed from a control part 45 is stored in a memory 60. Driving waveform data read out by a first latch 62 from the memory 60 is temporarily held. Outputs of a first latch 62 and a second latch 66 are added by an adder 66, and the output of the second latch 66 is converted to an analog signal by a digital/analog converter 70. The converted analog signal is amplified by a voltage-amplifying part 72 to a voltage whereby a piezoelectric element drives. A current corresponding to the amplified voltage signal is supplied by a current-amplifying part 74.



LEGAL STATUS

[Date of request for examination]

11.11.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application]

BEST AVAILABLE COPY

[Registered registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-80072

(P2001-80072A)

(43) 公開日 平成13年3月27日 (2001.3.27)

(51) Int.Cl.	識別記号	F I	テームド (参考)
B 4 1 J	2/045	B 4 1 J	3/04 1 0 3 A 2 C 0 5 7
	2/055		9/10 1 0 1 F 2 C 0 6 2
	2/51		3/12 C
	2/485		

審査請求 未請求 請求項の数 11 O L (全 14 頁)

(21) 出願番号	特願平11-259316	(71) 出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22) 出願日	平成11年9月14日 (1999.9.14)	(72) 発明者	深野 孝和 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内
		(72) 発明者	田村 登 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内
		(74) 代理人	100098817 弁理士 五十嵐 孝雄 (外3名)

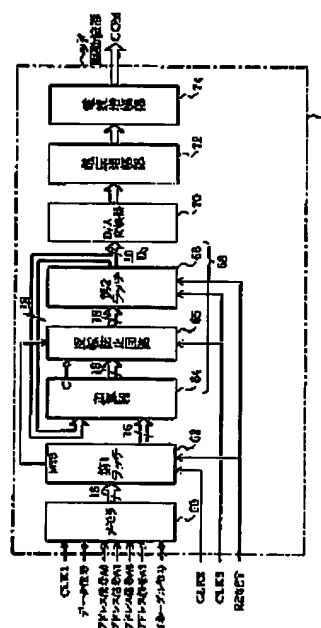
最終頁に続く

(54) 【発明の名称】 印刷装置および駆動波形生成装置、駆動波形生成方法

(57) 【要約】

【課題】 駆動波形の生成過程において駆動波形データを累算する際に、累算結果が所定の範囲の上限あるいは下限のいずれかの境界値を超えることにより、駆動波形が急激に変化し、回路内に過電流が流れるのを防止する。

【解決手段】 加算器と第2のラッチの間に反転防止回路を設け、加算器の累算結果が所定の範囲の上限あるいは下限のいずれかの境界値を超えるときに、上限値または下限値、あるいは、それに近い値に修正する。



(2)

特開2001-80072

1

2

【特許請求の範囲】

【請求項1】 印刷すべき画像の印刷信号に基づいて、記録媒体上に画像を記録する印刷装置であって、複数のノズルと前記複数のノズルを駆動してインク滴を吐出させるための複数の駆動素子とを有する印刷ヘッドと、

前記複数の駆動素子に伝送される駆動波形を生成する駆動波形生成回路と、

を備え、

前記駆動波形生成回路は、

前記駆動波形を生成するための複数の駆動波形データを記憶するためのメモリと、

前記メモリからそれぞれ所定の読み出しタイミングで1つずつ順次読み出された前記駆動波形データを、所定の累算タイミングで順次累算していく累算部と、

前記累算部における前記複数ビットの累算結果が所定の範囲のいずれかの境界値を超えようとするときに、前記累算結果を前記境界値に近い所定の設定値に設定する累算結果修正回路と、

前記累算部で得られた複数ビットの累算結果のうち、特定の上位ビットをデジタル/アナログ変換してアナログ信号として出力するデジタル/アナログ変換器と、

を備える印刷装置。

【請求項2】 請求項1記載の印刷装置であって、

前記累算部は、

前記累算結果を保持するための第1のラッチ回路と、

前記メモリから読み出されて前記駆動波形データと、前記第1のラッチ回路で保持された前記累算結果とを加算することによって、前記累算結果を更新する加算器と、を有しており、

前記駆動波形データは、2の補数表示で表現されており、

前記累算結果修正回路は、前記加算器のキャリー信号と前記駆動波形データの最上位ビットとに基づいて、前記加算器から出力される前記累算結果が前記境界値を超えるか否かを判定する判定部を備える印刷装置。

【請求項3】 請求項2記載の印刷装置であって、

前記累算結果修正回路は、更に、

前記加算器と前記第1のラッチ回路との間に介挿されて、前記加算器の出力を保持する第2のラッチ回路を備えており、

前記判定部は、前記加算器から出力される前記累算結果が前記境界値を超えようときに、前記第2のラッチ回路の出力を前記境界値に近い前記所定の設定値に設定する印刷装置。

【請求項4】 請求項3記載の印刷装置であって、

前記判定部は、

前記加算器から出力される前記累算結果が、前記加算器の出力の上限値を超えようときに、前記第2のラッチ回路の出力を前記上限値に設定し、

前記加算器から出力される前記累算結果が、前記加算器の出力の下限値を超えようときに、前記第2のラッチ回路の出力を前記下限値に設定する印刷装置。

【請求項5】 駆動素子を駆動させるための駆動波形を生成する駆動波形生成装置であって、

前記駆動波形を生成するための複数の駆動波形データを記憶するためのメモリと、

前記メモリからそれぞれ所定のタイミングで1つずつ順次読み出された前記駆動波形データを、所定の累算タイミングで順次累算していく累算部と、

前記累算部における前記複数ビットの累算結果が所定の範囲のいずれかの境界値を超えようとするときに、前記累算結果を前記境界値に近い所定の設定値に設定する累算結果修正回路と、

前記累算部で得られた複数ビットの累算結果のうち、特定の上位ビットをデジタル/アナログ変換してアナログ信号として出力するデジタル/アナログ変換器と、

を備える駆動波形生成装置。

【請求項6】 請求項5記載の駆動波形生成装置であって、

前記累算部は、

前記累算結果を保持するための第1のラッチ回路と、

前記メモリから読み出されて前記駆動波形データと、前記第1のラッチ回路で保持された前記累算結果とを加算することによって、前記累算結果を更新する加算器と、を有しており、

前記駆動波形データは、2の補数表示で表現されており、

前記累算結果修正回路は、前記加算器のキャリー信号と前記駆動波形データの最上位ビットとに基づいて、前記加算器から出力される前記累算結果が前記境界値を超えるか否かを判定する判定部を備える駆動波形生成装置。

【請求項7】 請求項6記載の駆動波形生成装置であって、

前記累算結果修正回路は、更に、

前記加算器と前記第1のラッチ回路との間に介挿されて、前記加算器の出力を保持する第2のラッチ回路を備えており、

前記判定部は、前記加算器から出力される前記累算結果が前記境界値を超えようときに、前記第2のラッチ回路の出力を前記境界値に近い前記所定の設定値に設定する駆動波形生成装置。

【請求項8】 請求項7記載の駆動波形生成装置であって、

前記判定部は、

前記加算器から出力される前記累算結果が、前記加算器の出力の上限値を超えようときに、前記第2のラッチ回路の出力を前記上限値に設定し、

前記加算器から出力される前記累算結果が、前記加算器の出力の下限値を超えようときに、前記第2のラッチ回路

(3)

特開2001-80072

3

4

の出力を前記下限値に設定する駆動波形生成装置。

【請求項9】 駆動素子を駆動させるための駆動波形生成方法であって、

(a) 前記駆動波形を生成するための複数の駆動波形データを、それぞれ所定のタイミングで1つずつ順次選択する工程と、

(b) 前記選択された駆動波形データを、所定の累算タイミングで順次累算する工程と、

(c) 前記複数ビットの累算結果が所定の範囲のいずれかの境界値を超えようとするときに、前記累算結果を前記境界値に近い所定の設定値に設定する工程と、

(d) 前記複数ビットの累算結果のうち、特定の上位ビットをデジタル/アナログ変換する工程と、
を備える駆動波形生成方法。

【請求項10】 請求項9記載の駆動波形生成方法であって、

前記工程(c)は、前記累算結果のキャリー信号と前記駆動波形データの最上位ビットとに基づいて、前記累算結果が前記境界値を超えるか否かを判定する工程を含む駆動波形生成方法。

【請求項11】 請求項10記載の駆動波形生成方法であって、

前記工程(c)は、
前記累算結果が、前記所定の範囲の上限値を超えるときに、前記累算結果を前記上限値に設定し、
前記累算結果が、前記所定の範囲の下限値を超えるときに、前記累算結果を前記下限値に設定する工程を含む駆動波形生成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、駆動素子を動作させるための駆動波形を生成する技術に関する。

【0002】

【従来の技術】近年、コンピュータの出力装置として、数色のインクをインクヘッドから吐出するタイプのカラープリンタが普及し、コンピュータ等が処理した画像を多色多階調で印刷するのに広く用いられている。そして、多階調の印刷を表現するために、記録ヘッドのノズルから吐出されるインク滴の量を制御し、印刷媒体上に形成されるインクドットの大きさを制御することが行われている。

【0003】従来、インクジェット式プリンタにおいては、インクドットを形成するか否かの2値化を行い、一定面積中のいくつかの画素にインクドットを形成することにより印刷画像の中間調を表現するのが一般的であった。しかし、最近では、濃淡のインクを用いて一画素に複数の異なる大きさのインクドットを形成することにより、印刷画像の中間調をより多階調で表現することが可能となっている。

【0004】例えば、ピエゾ素子を用いたインクジェッ

トプリンタでは、大きさの異なるインクドットを形成するためには、記録ヘッドのノズル開口部におけるメニスカス(ノズル開口部におけるインクの表面形状)の制御やインク滴の吐出のタイミングの制御が重要である。したがって、所望のインクドットを形成するために、記録ヘッドのピエゾ素子を動作させる駆動波形を、形成するインクドットの大きさに応じて変化させることが行われている。

【0005】ピエゾ素子を動作させる駆動波形は、予め任意の時間での駆動電圧の絶対値を全てメモリに記憶しておく方法や、ピエゾ素子がコンデンサを形成することを利用して抵抗値の異なる抵抗をピエゾ素子との間でスイッチングする方法により制御されてきた。しかし、前者の場合は駆動波形を記憶しておくためにメモリを多く必要とし、後者の場合は複雑なタイミングのパルス信号を必要とする問題がある。

【0006】これらの問題点を解決するために、駆動波形の任意の時間での電圧の変化量を決め、その値を加算器により順次加算していくことによりプログラマブルに駆動波形を得る方法等が提案されている。

【0007】図12は、駆動波形を生成するための従来の駆動波形生成回路100の内部構成を示すブロック図である。図13は、図12に示した駆動波形生成回路100において駆動波形を生成していく過程を示す説明図である。図12に示す駆動波形生成回路100は、メモリ102と、累算部104と、デジタル/アナログ変換器106とを備えている。メモリ102には、駆動信号COMの波形を示す駆動波形データが格納されている。図13(a)に示したように、メモリ102から読み出された駆動波形データ ΔV_1 、 ΔV_2 、 ΔV_3 は、累算部104においてクロック信号CLKに同期して順次累算されていく。ここで、駆動波形データとは、クロック信号CLKの1周期1当たりの駆動電圧の変化量を表すデータである。この18ビットの累算結果のうち上位10ビットがデジタル/アナログ変換器106でデジタル/アナログ変換されることによって、駆動信号COMが生成される。

【0008】

【発明が解決しようとする課題】図13の方法において、1画素区間にわたって駆動波形データ ΔV_1 、 ΔV_2 、 ΔV_3 、...を累算した値がゼロになれば、駆動波形の始端と終端のレベルは完全に一致する。しかし、実際には、1画素区間にわたる駆動波形データの累算値がゼロにならないことも多い。この理由は、駆動波形データを設定する際に演算誤差が生じるからである。例えば、第1の駆動波形データ ΔV_1 は、その累算期間8tにおける電圧変化の設計値 δ_1 を、その期間8tにおける累算周期の数(即ち8)で除算することによって決定される。この除算が割り切れないときには、駆動波形データ ΔV_1 は、丸め誤差を含むことになる。この丸め誤差

(4)

特開2001-80072

5

6

が、1画素区間の終端における累算値の誤差の原因である。このような誤差はデジタル／アナログ変換の対象とならない下位ビットのビット数を増加させれば減少し、上位ビットに関しては、誤差を0とすることは可能である。しかし、下位ビットに関しては、累算誤差をゼロにすることは困難である。

【0009】従来の駆動波形生成装置では、このような誤差が第2ラッチ108に1画素区間毎に順次蓄積されてゆき、所望の駆動波形からずれた波形が生成されてしまうことがある。すなわち、例えば、図14(a)に示した駆動波形を得ようとする場合に、図14(b)に示したように、誤差e1が1周期毎に蓄積されて、駆動波形の始端高さがずれてゆき、所望の駆動波形からずれてしまう。図14(b)の状態から更に誤差e1が蓄積されてゆくと、加算器106がオーバーフローやアンダーフローを起こしてしまい、駆動波形が突然大きく変化することがある。

【0010】図15は、正常な駆動波形と、加算器106がオーバーフローやアンダーフローを起こしたときの駆動波形とを示す説明図である。図15(b)に示すように、加算結果が加算器106の出力の上限値Uしを超えると、加算器出力が下限値Lしに近い値にジャンプするので、駆動波形が大幅に変化する。また、図15(c)に示すように、加算結果が加算器106の出力の下限値Lしを超えると、加算器出力が上限値Uしに近い値にジャンプするので、このときにも駆動波形が大幅に変化する。このように、累算誤差が蓄積されてゆくと、駆動波形が突然大きく変化し、回路内に過電流が流れる可能性があった。

【0011】本発明は、上記の問題を解決することを目的としてなされたものであり、駆動波形の生成過程において駆動波形データを累算する際に、累算誤差によって駆動波形が急激に変化することを防止することを目的とする。

【0012】

【課題を解決するための手段およびその作用・効果】上述の課題の少なくとも一部を解決するため、本発明は、駆動波形を生成するための複数の駆動波形データを順次累算し、累算された複数ビットの累算結果のうち、特定の上位ビットをデジタル／アナログ変換してアナログ信号として出力する。駆動波形データを累算する際、複数ビットの累算結果が、所定の範囲のいずれかの境界値を超えようとするときに、累算結果をその境界値に近い所定の値に設定する。こうすることにより、累算結果が反対側の境界値にジャンプすることを防止することができるので、駆動波形が急激に変化することを防止することが可能となる。

【0013】なお、駆動波形データを累算する際に、累算結果のキャリー信号と駆動波形データの最上位ビットとに基づいて、累算結果が境界値を超えるか否かを判定

するようにしてもよい。こうすることにより、累算結果が境界値を超えるか否かの判定を容易に行うことができる。

【0014】また、累算結果が所定の範囲の上限値を超えるときには、累算結果をその上限値に設定し、所定の範囲の下限値を超えるときには、累算結果をその下限値に設定してもよい。

【0015】なお、本発明は、印刷装置、駆動波形生成装置、駆動波形生成方法等の種々の形態で実現することが可能である。

【0016】

【発明の実施の形態】以下、本発明の実施の形態について、実施例に基づき以下の順で説明する。

A. 印刷装置の全体構成；

B. 駆動波形生成装置の構成と動作；

C. 第2実施例；

D. 第3実施例；

E. 変形例；

【0017】A. 印刷装置の全体構成：図1は、本発明の印刷装置の全体構成を示すブロック図である。図1に示すように、印刷装置は、コンピュータ90と、制御回路40と、紙送りモータ23と、主走査を行うキャリッジモータ24と、記録ヘッド50と、を備えている。

【0018】コンピュータ90では、所定のオペレーティングシステムの下で、アプリケーションプログラムが動作している。オペレーティングシステムには、ビデオドライバやプリンタドライバが組み込まれており、ディスプレイに画像を表示したり、種々の画像処理が行われる。

【0019】制御回路40は、コンピュータ90からの印刷信号等を受け取るインタフェース41と、各種データの記憶を行うRAM42と、各種データ処理のためのルーチン等を記憶したROM43と、発振回路44と、CPU等からなる制御部45と、駆動波形生成回路46と、紙送りモータ23やキャリッジモータ24や記録ヘッド50に印刷信号や駆動信号を送るためのインタフェース47と、を備えている。

【0020】RAM42は、受信バッファ42Aや中間バッファ42Bあるいは出力バッファ42Cとして利用される。コンピュータ90からの印刷信号は、インタフェース41を介して受信バッファ42Aに蓄えられる。このデータは、中間コードに変換されて中間バッファ42Bに蓄えられる。そして、ROM43内のフォントデータやグラフィック関数等を参照して制御部45により必要な処理が行われ、ドットパターンデータが展開され、出力バッファ42Cに記憶される。ドットパターンデータは、インタフェース47を介して記録ヘッド50に送られる。

【0021】図2は、記録ヘッド50の電気的な構成を示すブロック図である。記録ヘッド50は、ノズルの数

(5)

特開2001-80072

7

8

に対応した複数のシフトレジスタ51A～51Nと、複数のラッチ回路52A～52Nと、複数のレベルシフタ53A～53Nと、複数のスイッチ回路54A～54Nと、複数のピエゾ素子55A～55Nと、を備えている。印刷信号SIは、発振回路44からのクロック信号CLKに同期してシフトレジスタ51A～51Nに入力される。そして、ラッチ信号LATに同期してラッチ回路52A～52Nにラッチされる。ラッチされた印刷信号SIは、レベルシフタ53A～53Nによりスイッチ回路54A～54Nを駆動できる電圧まで増幅され、スイッチ回路54A～54Nに供給される。スイッチ回路54A～54Nの入力側には、駆動波形生成回路46からの駆動信号COMが入力され、出力側にはピエゾ素子55A～55Nが接続されている。

【0022】スイッチ回路54A～54Nは、例えば、印刷信号SIが「1」の場合は駆動信号COMをピエゾ素子55A～55Nに供給して動作させ、「0」の場合は遮断して動作させない。ピエゾ素子は、周知のように、電圧の印加により結晶構造が歪み、電気-機械エネルギーの変換を極めて高速に行う素子である。図示しないが、駆動信号COMがピエゾ素子55A～55Nに供給されると、それに応じてピエゾ素子55A～55Nは変形し、インク室の壁も変形する。これによりノズルからのインク滴の吐出を制御する。吐出されたインク滴が印刷媒体に付着することにより印刷が行われる。

【0023】B. 駆動波形生成装置の構成と動作：

B-1. 駆動波形生成装置の内部構成：図3は、駆動波形生成回路46の内部構成を示すブロック図である。駆動波形生成回路46は、制御部45から与えられる駆動波形データを記憶するメモリ60と、メモリ60から読み出された駆動波形データを一時的に保持する第1ラッチ62と、第1ラッチ62の出力と後述する第2ラッチ66の出力とを加算する加算器64と、反転防止回路65と、第2ラッチ66と、第2ラッチ66の出力をアナログ信号に変換するデジタル/アナログ変換器70と、を備えている。また変換されたアナログ信号をピエゾ素子が動作する電圧まで増幅する電圧増幅部72と、増幅された電圧信号に対応した電流供給を行うための電流増幅部74も備えている。加算器64と第2ラッチ66とは、駆動波形データを累算する累算部68を構成する。駆動波形生成回路46には、制御部45から種々の信号が供給される。即ち、メモリ60には、第1のクロック信号CLK1と、駆動波形データを表すデータ信号と、アドレス信号A0～A3と、イネーブル信号とが供給されている。また、第1ラッチ62には、第2のクロック信号CLK2と、リセット信号RESETとが供給されている。反転防止回路65には、第3のクロック信号CLK3が供給されている。第2ラッチ66には、第3のクロック信号CLK3と、リセット信号RESETが供給されている。第1と第2ラッチ62、66に供給され

るリセット信号RESETは、同じものである。また、反転防止回路65と第2ラッチ66に供給される第3のクロック信号CLK3も同じものである。なお、この駆動波形生成回路46は、図1に示した制御部45、RAM42およびROM43とともに駆動波形生成装置として機能する。また、反転防止回路65は、累算結果修正回路として機能する。

【0024】B-2. 駆動波形の生成方法：図4は、メモリ60内に駆動波形データを書きこむタイミングを示すタイミングチャートである。駆動波形COMの生成に先立って、駆動波形データを表すデータ信号と、そのデータ信号のアドレスとが、第1のクロック信号CLK1に同期して、制御部45からメモリ60に供給される。データ信号は1ビットであるが、図4に示したように、第1のクロック信号CLK1を同期信号とするシリアル転送によって、駆動波形データが1ビットずつ転送される。即ち、制御部45からメモリ60へ駆動波形データを転送する場合には、まず、第1のクロック信号CLK1に同期してデータ信号を複数ビット分供給する。その後、このデータを格納するための書きこみアドレスを表すアドレス信号A0～A3と、イネーブル信号とを供給する。メモリ60は、このイネーブル信号が供給されたタイミングでアドレス信号を読み取り、受け取った駆動波形データをそのアドレスに書きこむ。アドレス信号A0～A3は4ビットなので、最大16種類の駆動波形データをメモリ60に記憶しておくことができる。

【0025】図5は、駆動波形生成回路46において駆動波形を生成していく過程を示す説明図である。メモリ60内への駆動波形データの書きこみが終了した後、読出しアドレスBがアドレス信号A0～A3として出力されると、メモリ60から最初の駆動波形データΔV1が出力される。その後、第2のクロック信号CLK2のバースが発生すると、この駆動波形データΔV1が第1ラッチ62に保持される。この状態で、次に第3のクロック信号CLK3のバースが発生すると、第2ラッチ66の18ビットの出力と、第1ラッチ62の16ビットの出力とが加算器64により加算され、その加算結果が第2ラッチ66に保持される。即ち、図5に示したように、一旦、アドレス信号に対応した駆動波形データが選択されると、その後、第3のクロック信号CLK3を受けるたびに、第2ラッチ66の出力には、その駆動波形データの値が累算されていく。この際、反転防止回路65は、加算器64の出力がその上限値“111…111”（18ビット）を超えるかどうかを判定する。そして、反転防止回路65は、その判定に応じた値を出力する。

【0026】図5に示した例では、アドレスBには、第3のクロック信号CLK3の1周期も当たりの電圧をΔV1だけ上昇させることを示す駆動波形データが格納されている。従って、第2のクロック信号CLK2により

(6)

特開2001-80072

9

10

アドレスBが有効になると、 $\Delta V1$ ずつ電圧が上昇していくことになる。また、アドレスAには、駆動波形データとして $\Delta V2=0$ 、即ち、電圧を保持することを示す値が格納されている。従って、第2のクロック信号CLK2によりアドレスAが有効になると、駆動信号の波形は、増減のないフラットな状態に保たれる。また、アドレスCには、第3のクロック信号CLK3の1周期1当たりの電圧を $\Delta V3$ だけ低下させることを示す駆動波形データが格納されている。従って、第2のクロック信号CLK2によりアドレスCが有効になった後は、 $\Delta V3$ ずつ電圧が低下していくことになる。なお、増加か減少かは、各アドレスに格納されたデータの符号により決定される。

【0027】こうして、加算器64により加算された18ビットの加算結果のうち、上位10ビットの電圧レベルデータD₀は、デジタル／アナログ変換器70に入力される。また、18ビットの加算結果全体は、加算器64に再入力される。この結果、第2ラッチ66から出力される電圧レベルデータD₀は、図5(a)に示したように段階的に変化する。この電圧レベルデータD₀は、デジタル／アナログ変換器70により変換され、図5(b)に示した駆動波形が形成される。

【0028】なお、メモリ60から読み出される駆動波形データは、負の数は2の補数表示で表現されている。また、加算器64に入力される駆動波形データは、16ビットであるが、加算されるときには、その最上位ビット(16ビット目)の値が17ビット目と18ビット目とにそのまま用いられる。このような加算器64の加算動作については後述する。

【0029】B-3. 反転防止回路の内部構成と動作：図6は反転防止回路65の内部構成を示すブロック図である。反転防止回路65は、18個のANDゲートAGS0～AGS17と、18個のANDゲートAGR0～AGR17と、18個のDフリップフロップDFF0～DFF17とを備えている。第1のANDゲートAGS0～AGS17は、第1ラッチ62から与えられた16ビットの駆動波形データの最上位ビットMSBの反転信号と、加算器64から出力されるキャリーCとの論理積をとり、その出力をDフリップフロップDFF0～DFF17のセット端子Sに入力する。第2のANDゲートAGR0～AGR17は、第1ラッチ62から与えられた16ビットの駆動波形データの最上位ビットMSBと、加算器64から出力されるキャリーCの反転信号との論理積をとり、その出力をDフリップフロップDFF0～DFF17のリセット端子Rに入力する。DフリップフロップDFF0～DFF17は、クロック信号CLK3の立下りエッジに同期して、出力Q₀～Q₁₇を更新する。すなわち、セット端子Sとリセット端子Rがいずれも“0”のときは、加算器64の加算結果であるOUT₀、OUT₁、...、OUT₁₇をDフリップフロップDFF

0～DFF17の出力Q₀、Q₁、...、Q₁₇として、そのまま出力する。また、セット端子Sが“0”で、リセット端子Rが“1”のときは、DフリップフロップDFF0～DFF17の出力Q₀～Q₁₇をすべて“0”にリセットする。更に、セット端子Sが“1”で、リセット端子Rが“0”のときは、DフリップフロップDFF0～DFF17の出力Q₀～Q₁₇をすべて“1”にセットする。

【0030】なお、図6の実施例では、各DフリップフロップDFF0～DFF17に対して、それぞれ一對のANDゲートを設けているが、この代わりに、18個のDフリップフロップDFF0～DFF17の全体で一對のANDゲートを共有するようにしてもよい。

【0031】図7は、加算器64において行われる加算処理と加算結果の修正方法とを説明する説明図である。ここでは簡単のため、加算結果は8ビットであり、第1ラッチ62から与えられる駆動波形データは6ビットであるものとして説明する。なお、実際の駆動波形データは、16ビットの2の補数表示で表現されており、加算器64において加算される際には、その最上位ビットMSB(16ビット目)の値が17ビット目と18ビット目とにそのまま用いられる。そこで、以下の説明では、6ビットの駆動波形データの最上位ビットMSB(6ビット目)の値(図中○で囲った値)を、7ビット目と8ビット目とにそのまま用いて加算を実行する。

【0032】図7(a)は、加算結果“11100100”(10進数の「228」)に駆動波形データ“010110”(10進数の「22」)を加算する場合である。この加算では、桁上がりはなくキャリーCは“0”である。また、駆動波形データのMSBは“0”である。従って、DフリップフロップDFFのセット端子Sおよびリセット端子Rには、ともに“0”が入力され、DフリップフロップDFF0～DFF17からは、加算結果“11111010”がそのまま出力される。

【0033】図7(b)は、加算結果“11101011”(10進数の「235」)に駆動波形データ“010110”(10進数の「22」)を加算する場合である。この加算では、桁上がりがあり、キャリーCは“1”である。また、駆動波形データのMSBは“0”である。従って、DフリップフロップDFFのセット端子Sには“1”が、リセット端子Rには“0”がそれぞれ入力され、DフリップフロップDFF0～DFF17からは、上限値“11111111”が出力される。

【0034】図7(c)は、加算結果“00011101”(10進数の「29」)に駆動波形データ“101010”(10進数の「-22」)を加算する場合である。この加算では、桁上がりがあり、キャリーCは“1”である。また、駆動波形データのMSBは“1”である。従って、DフリップフロップDFFのセット端子Sおよびリセット端子Rには、ともに“0”が入力さ

11

れ、DフリップフロップDFF0～DFF17からは、
“00000111”がそのまま出力される。

【0035】図7(d)は、累算結果“00001101”（10進数の「13」）に駆動波形データ“101010”（10進数の「22」）を加算する場合である。この加算では、桁上がりがなく、キャリーCは“0”である。また、駆動波形データのMSBは“1”である。従って、DフリップフロップDFFのセット端子Sには“0”が、リセット端子Rには“1”がそれぞれ入力され、DフリップフロップDFF0～DFF17からは、下限値“00000000”が出力される。

【0036】このように第1の実施例では、加算器64における加算結果が上限値または下限値を越えるようになるときに、第2ラッチ66に入力される加算結果が強制的に上限値または下限値に設定される。この結果、駆動電圧波形が急激に変化して回路に過電流が流れることを防止することができる。

【0037】C. 第2実施例：図8は、第2実施例における累算部の構成を示すブロック図である。加算器64の前段および第2ラッチ66の後段は、前述した第1実施例の駆動波形生成回路46と同様であるので説明は省略する。第2実施例では、加算器64と第2ラッチ66との間にセクタ67が設けられている。また、セクタ67には、データレジスタ63a、63bおよび判定回路69が接続されており、これらデータレジスタ63a、63bと、セクタ67と、判定回路69が反転防止回路として機能する。

【0038】第1のデータレジスタ63aには、各ビットがすべて“1”である18ビットのデータが設定されている。また、第2のデータレジスタ63bには、各ビットがすべて“0”である18ビットのデータが設定されている。セクタ67は、判定回路69の出力に応じて、データレジスタ63a、63bおよび加算器64から入力された3つのデータのうちの1つを選択して出力する。

【0039】判定回路69は、図6に示した一対のアンドゲート（例えばAGS0、AGR0）と同じ一対のアンドゲート69a、69bを有している。すなわち、この判定回路69は、加算器64から出力されるキャリーCと駆動波形データのMSBとに基づいて、加算器64の加算結果がその上限値あるいは下限値を超えるかどうかの判定を行い、その判定結果を示す2ビットのデータQ69を出力する。

【0040】図9は、加算器64から出力されるキャリーCおよび駆動波形データのMSBに応じた、セクタ67の出力Q67を説明する説明図である。キャリーCおよび駆動波形データのMSBがともに“0”あるいは、ともに“1”のときは、判定回路69の出力Q69は“00”であり、セクタ67は、加算器64の累算結果Q64をそのまま出力する。また、キャリーCが

(7)

特開2001-80072

12

“0”、駆動波形データのMSBが“1”のときは、判定回路69の出力Q69は“01”であり、セクタ67は、各ビットがすべて“0”である18ビットのデータを出力する。更に、キャリーCが“1”、駆動波形データのMSBが“0”のときは、判定回路69の出力Q69は“10”であり、セクタ67は、各ビットがすべて“1”である18ビットのデータを出力する。

【0041】このように、第2実施例の回路によっても、駆動電圧波形が急激に変化して回路に過電流が流れることを防止することができる。

【0042】D. 第3実施例：図10は、第3実施例としての駆動波形生成回路46の内部構成を示すブロック図である。第3実施例では、第2ラッチ66に図1の制御部45からフロア信号FLOORが入力されている点以外は第1実施例と同じである。

【0043】図13を用いて説明したように、累算部68における累算値は、下位ビットに累算誤差を含んでいる。この下位ビットに含まれる累算誤差により、所望の駆動波形からずれた波形が生成されてしまう。そこで、第3実施例では、累算部68における18ビットのデータのうち下位8ビットの累算誤差をフロア信号FLOORを用いてクリアしている。

【0044】図11は、第2ラッチ66の下位8ビットをクリアするタイミングを示すタイミングチャートである。ここでは、1画素区間の周期T毎に、同一の駆動波形が繰り返されるものとしている。1画素区間の始端と終端における電圧レベルデータD_nの値VM（以下、「始端レベル」と呼ぶ）は、ゼロでない所定の値を有している。1画素区間の始端と終端は、制御部45内で生成される印刷タイミング信号PTSによって規定されている。印刷タイミング信号PTSは、各画素位置にインクドットを形成する際に、駆動波形の出力の開始を指示する信号である。フロア信号FLOORは、第2ラッチ66の下位8ビットをクリアするタイミングt₀を指示する信号である。フロア信号FLOORが制御部45から第2ラッチ66に入力されると、第2ラッチ66の下位8ビットのみがクリアされ、上位10ビットは始端レベルVMに維持される。第3実施例では、フロア信号FLOORは、印刷タイミング信号PTSと同じタイミング、すなわち、駆動波形の1周期毎に入力される。この場合は、印刷タイミング信号PTSをフロア信号FLOORとして用いてもよい。また、このタイミングはこれに限定されるものではなく、例えば、第2ラッチ66から出力される電圧レベルデータD_nがVMになるタイミングt₀、t₁等、予め出力値が分かっているタイミングでフロア信号FLOORを入力して、下位8ビットをクリアしてもよい。

【0045】第3実施例によれば、駆動波形データの誤差を所定のタイミングでクリアするため、駆動波形データの誤差の累積を防止し、容易に所望の複雑なプロファ

50

(8)

特開2001-80072

13

14

イルの駆動波形を得ることができる。更に、何らかの理由でフロア信号FLOORによる駆動波形データの誤差のクリアが行われずに、加算器64における累算結果が上限値あるいは下限値を超えるようなことがあっても、駆動電圧波形が急激に変化して回路に過電流が流れることを防止することができる。

【0046】E. 変形例：本発明は、上述の実施の形態になんら限定されるものではなく、その要旨を逸脱しない範囲内において種々なる態様での実施が可能であり、例えば、以下のような変形も可能である。

【0047】E-1. 変形例1：上記実施例では、加算器64の加算結果がその上限値（各ビットがすべて「1」である18ビットの値）または下限値（各ビットがすべて「0」である18ビットの値）を超えるときに、第2ラッチ66に保持されるデータを強制的に上限値または下限値に設定するようにしていたが、第2ラッチ66に保持されるデータは、加算結果の上限値または下限値に近い任意の値に設定することが可能である。例えば、上限値の代わりに、特定の低位ビットをすべて「0」に設定し、それ以上の上位ビットをすべて「1」に設定するような設定値を用いることも可能である。

【0048】また、上記実施例では、反転防止回路65が、加算器64の加算結果の上限値と下限値のいずれかを越えるか否かを判定していたが、この代わりに、加算器64の取り得る全範囲のうちの所定の範囲のいずれかの境界値を超えるか否かを判定するようにしてもよい。例えば、加算器64の出力が8ビットの場合には、加算結果は10進数で0～255の値を取り得るが、その上限値「255」と下限値「0」を超えるか否かを判定する代わりに、5～250の範囲の値のいずれかの境界値（「5」または「250」）を超えるか否かを判定するようにしてもよい。すなわち、一般には、駆動波形データの累算結果が、所定の範囲のいずれかの境界値を超えようとするときに、その累算結果をその境界値に近い所定の設定値に設定するようにすればよい。

【0049】E-2. 変形例2：本発明の駆動波形生成装置および駆動波形生成方法は、上述した実施の形態に示した印刷装置に用いられるだけでなく、その他のアクチュエータ等を駆動する駆動波形生成装置、駆動波形生成方法としても適用できる。

【図面の簡単な説明】

【図1】本発明の印刷装置の全体構成を示すブロック図である。

【図2】記録ヘッドの電気的な構成を示すブロック図である。

【図3】本発明の駆動波形生成回路の内部構成を示すブロック図である。

【図4】メモリ内に駆動波形データを書きこむタイミングを示すタイミングチャートである。

【図5】駆動波形を生成していく過程を説明する説明図

である。

【図6】本発明の反転防止回路の内部構成を示すブロック図である。

【図7】加算器64において行われる加算処理と加算結果の修正方法とを説明する説明図である。

【図8】本発明の第2実施例における累算部の構成を示すブロック図である。

【図9】加算器64から出力されるキャリーCおよび駆動波形データのMSBに応じた、セレクトの出力を説明する説明図である。

【図10】本発明の第3実施例としての駆動波形生成回路の内部構成を示すブロック図である。

【図11】第3の実施例におけるフロア信号を入力するタイミングを説明する説明図である。

【図12】従来の駆動波形生成回路の内部構成を示すブロック図である。

【図13】駆動波形を生成していく方法を説明する説明図である。

【図14】駆動波形の生成過程における誤差の累積を説明する説明図である。

【図15】正常な駆動波形と、加算器がオーバーフローやアンダーフローを起こしたときの駆動波形とを示す説明図である。

【符号の説明】

23…紙送りモータ

24…キャリッジモータ

40…制御回路

41…インタフェース

42…RAM

42A…受信バッファ

42B…中間バッファ

42C…出力バッファ

43…ROM

44…発振回路

45…制御部

46…駆動波形生成回路

50…記録ヘッド

51A～51N…シフトレジスタ

52A～52N…ラッチ回路

53A～53N…レベルシフタ

54A～54N…スイッチ回路

55A～55N…ピエゾ素子

60…メモリ

62…第1ラッチ

63a…データレジスタ

63b…データレジスタ

64…加算器

65…反転防止回路

66…第2ラッチ

67…セレクト

(9)

特開2001-80072

15

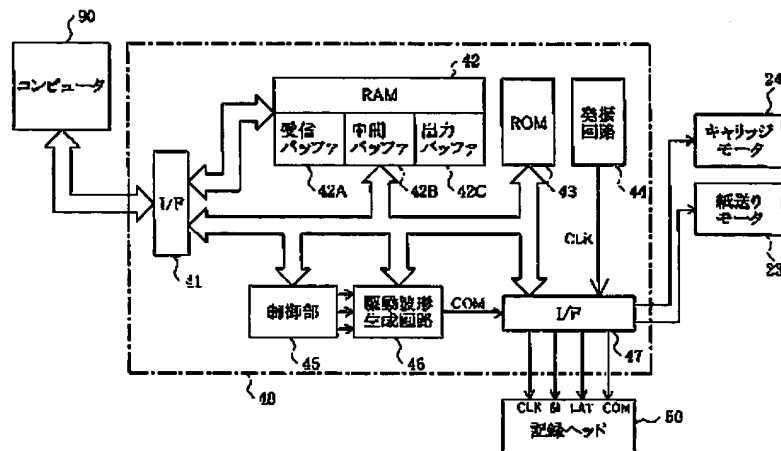
16

68…演算部
68a…演算部
69…判定回路
69a…アンドゲート
69b…アンドゲート
70…D/A変換器
72…電圧増幅部

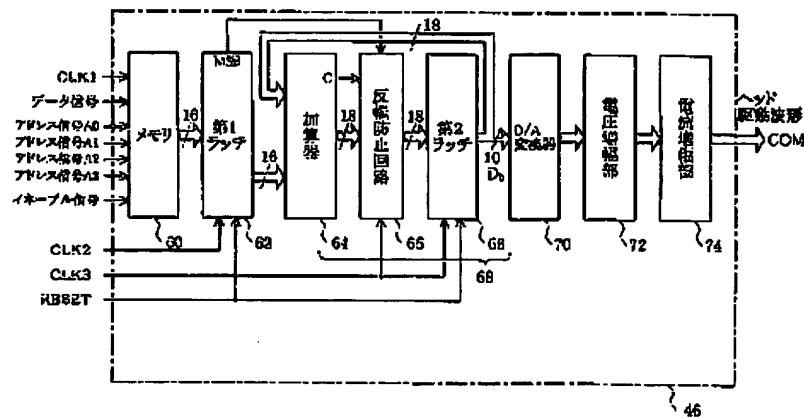
* 74…電流増幅部
90…コンピュータ
100…駆動波形生成回路
102…メモリ
104…演算部
106…D/A変換器

*

【図1】



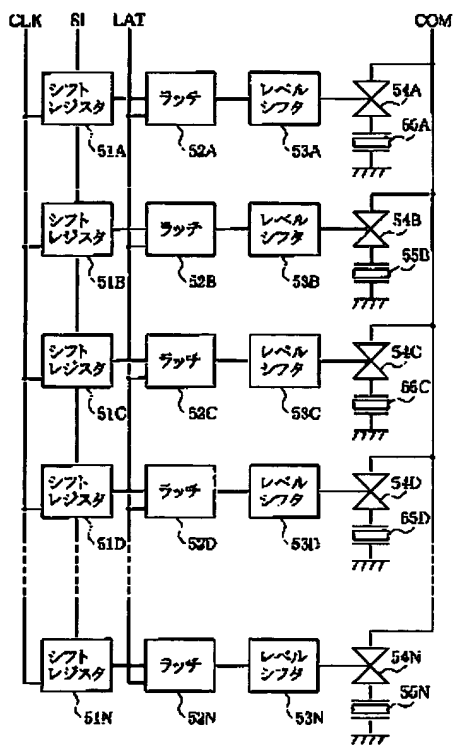
【図3】



(10)

特開2001-80072

【図2】



【図7】

(a) オーバーフローなし

```

      1 1 1 0 0 1 0 0   (10進数「228」)
+   0 0 0 1 0 1 1 0   (10進数「22」)
-----
      1 1 1 1 1 0 1 0 → そのまま出力
      キャリーなし
  
```

(b) オーバーフローあり

```

      1 1 1 0 1 0 1 1   (10進数「235」)
+   0 0 0 1 0 1 1 0   (10進数「22」)
-----
      ① 0 0 0 0 0 0 0 1 → "1111111"に修正
      キャリーあり
  
```

(c) アンダーフローなし

```

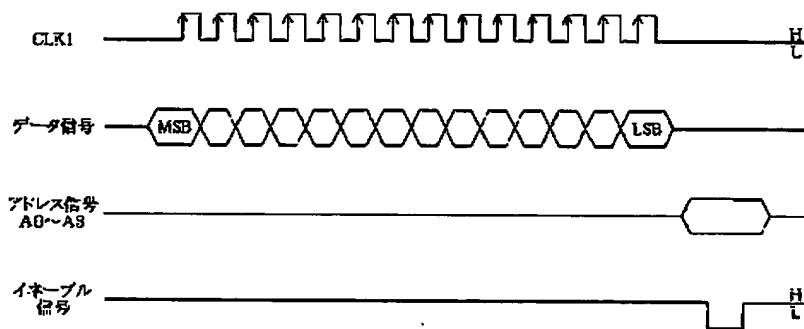
      0 0 0 1 1 1 0 1   (10進数「29」)
±   1 1 0 0 1 0 1 0   (10進数「-22」)
-----
      ① 0 0 0 0 0 1 1 1 → そのまま出力
      キャリーあり
  
```

(d) アンダーフローあり

```

      0 0 0 0 1 1 0 1   (10進数「13」)
±   1 1 0 0 1 0 1 0   (10進数「-22」)
-----
      ① 1 1 1 1 0 1 1 1 → "0000000"に修正
      キャリーなし
  
```

【図4】



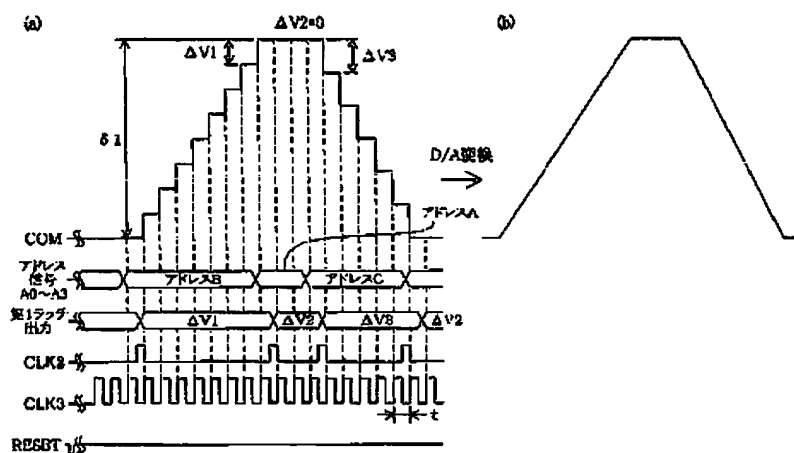
【図9】

C	MSB	Q05	Q07
0	0	0 0	Q04
1	1		
0	1	0 1	0000000000000000
1	0	1 0	1111111111111111

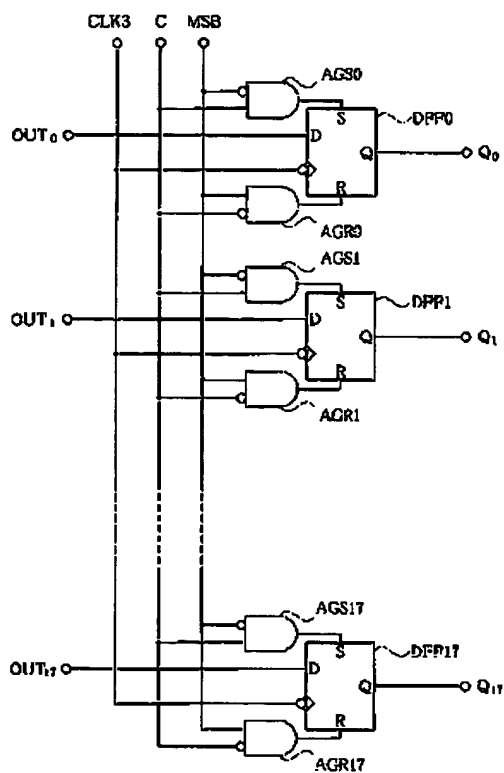
(11)

特開2001-80072

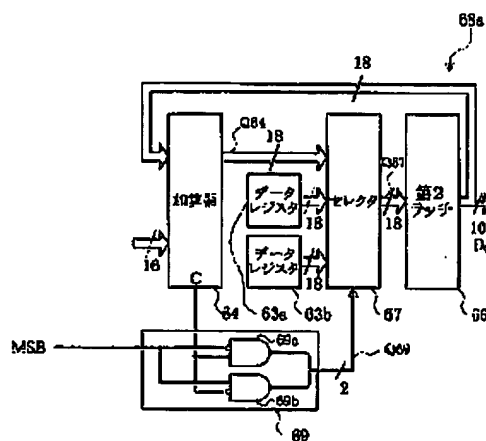
【図5】



【図6】



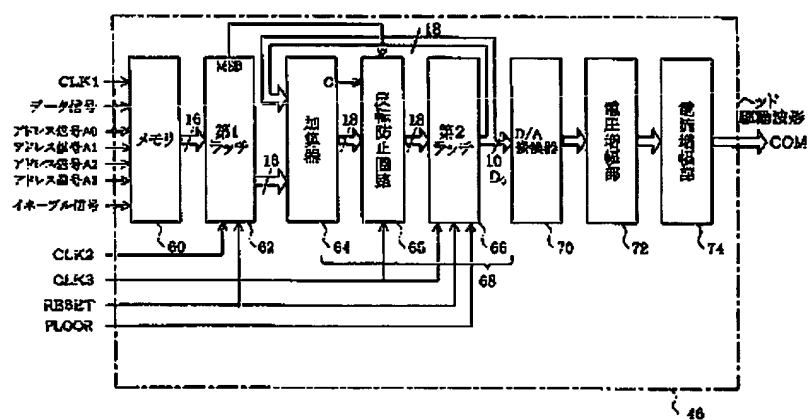
【図8】



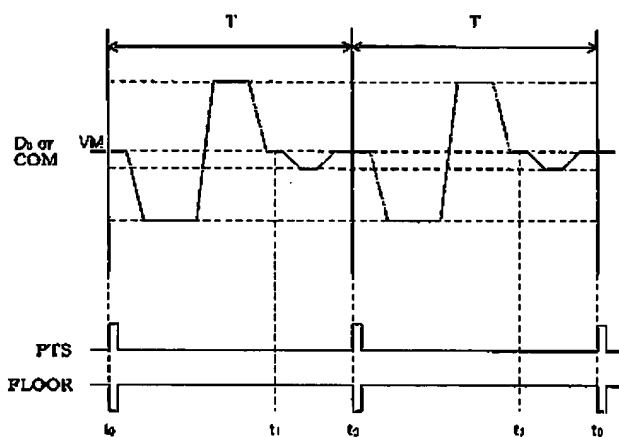
(12)

特開2001-80072

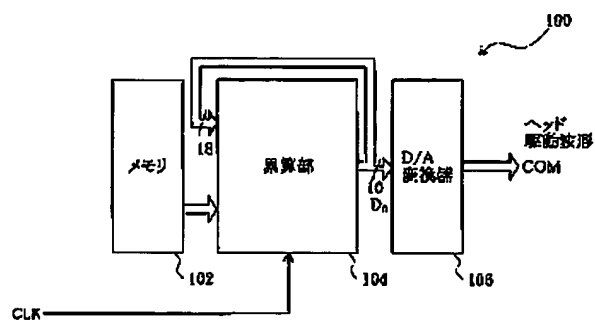
【圖 10】



【圖 11】



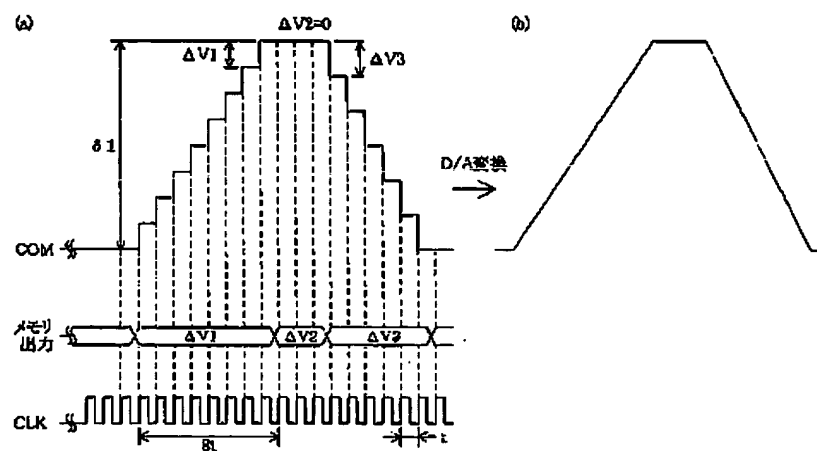
【圖 12】



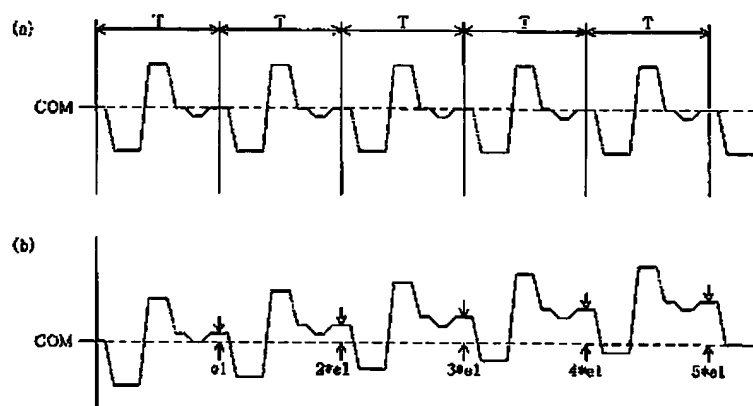
(13)

特開2001-80072

【図13】



【図14】

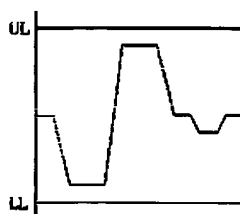


(14)

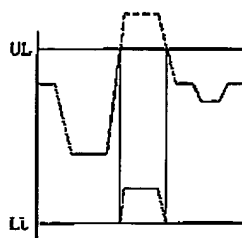
特開2001-80072

【図15】

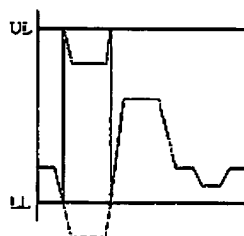
(a)正常



(b)オーバーフロー



(c)アンダーフロー



 フロントページの続き

(72)発明者 朝内 昇

 長野県諏訪市大和三丁目3番5号 セイコ
 ーエブソン株式会社内

(72)発明者 西原 雄一

 長野県諏訪市大和三丁目3番5号 セイコ
 ーエブソン株式会社内

Fターム(参考) 2C057 AF39 AF99 A003 A018 A022

A001 AR04 AR08 BA03 BA14

2C062 AA02 AA14

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The print head which has two or more driver elements for being the airline printer which records an image on a record medium, driving two or more nozzle and said two or more nozzles based on the printing signal of the image which should be printed, and making an ink droplet breathe out, It has the drive wave generation circuit which generates the drive wave transmitted to said two or more driver elements. Said drive wave generation circuit The memory for memorizing two or more drive data points for generating said drive wave, The accumulation section which carries out sequential accumulation of said drive data point read one [at a time] from said memory one by one to predetermined read-out timing, respectively to predetermined accumulation timing, When [in said accumulation section / said] the accumulation result of a bit tends to exceed two or more one boundary value of the predetermined range An airline printer equipped with the digital to analog converter which carries out the digital to analog of the specific high order bit among the accumulation result correction circuit which sets said accumulation result as the predetermined set point near said boundary value, and the two or more bits accumulation result obtained in said accumulation section, and is outputted as an analog signal.

[Claim 2] It is an airline printer according to claim 1. Said accumulation section It is read from said memory with the 1st latch circuit for holding said accumulation result, and by adding said drive data point and said accumulation result held by said 1st latch circuit It has the adder which updates said accumulation result. Said drive data point It is the airline printer which is expressed by the two's complement display and equipped with the judgment section which judges whether said accumulation result to which said accumulation result correction circuit is outputted from said adder based on the carry signal of said adder and the most significant bit of said drive data point exceeds said boundary value.

[Claim 3] It is the airline printer which it is an airline printer according to claim 2, said accumulation result correction circuit was further inserted between said adder and said 1st latch circuit, and is equipped with the 2nd latch circuit holding the output of said adder, and sets the output of said 2nd latch circuit as said predetermined set point near said boundary value when said accumulation result to which said judgment section is outputted from said adder exceeds said boundary value.

[Claim 4] It is the airline printer which sets the output of said 2nd latch circuit as said lower limit when it is an airline printer according to claim 3 and said accumulation result which said judgment section sets the output of said 2nd latch circuit as said upper limit when said accumulation result outputted from said adder exceeds the upper limit of the output of said adder, and is outputted from said adder exceeds the lower limit of the output of said adder.

[Claim 5] The memory for memorizing two or more drive data points for being drive wave generation equipment which generates the drive wave for making a driver element drive, and generating said drive wave, The accumulation section which carries out sequential accumulation of said drive data point read one [at a time] from said memory one by one to predetermined timing, respectively to predetermined accumulation timing, When [in said accumulation section / said] the accumulation result of a bit tends to exceed two or more one boundary value of the predetermined range The accumulation result correction circuit which sets said accumulation result as the predetermined set point near said boundary

value, Drive wave generation equipment equipped with the digital to analog converter which carries out the digital to analog of the specific high order bit among the two or more bits accumulation results obtained in said accumulation section, and is outputted as an analog signal.

[Claim 6] It is drive wave generation equipment according to claim 5. Said accumulation section It is read from said memory with the 1st latch circuit for holding said accumulation result, and by adding said drive data point and said accumulation result held by said 1st latch circuit It has the adder which updates said accumulation result. Said drive data point It is drive wave generation equipment which is expressed by the two's complement display and equipped with the judgment section which judges whether said accumulation result to which said accumulation result correction circuit is outputted from said adder based on the carry signal of said adder and the most significant bit of said drive data point exceeds said boundary value.

[Claim 7] It is drive wave generation equipment according to claim 6. Said accumulation result correction circuit It was inserted between said adder and said 1st latch circuit, and has the 2nd latch circuit holding the output of said adder. Furthermore, said judgment section Drive wave generation equipment which sets the output of said 2nd latch circuit as said predetermined set point near said boundary value when said accumulation result outputted from said adder exceeds said boundary value.

[Claim 8] It is drive wave generation equipment which sets the output of said 2nd latch circuit as said lower limit when it is drive wave generation equipment according to claim 7 and said accumulation result which said judgment section sets the output of said 2nd latch circuit as said upper limit when said accumulation result outputted from said adder exceeds the upper limit of the output of said adder, and is outputted from said adder exceeds the lower limit of the output of said adder.

[Claim 9] The process which is a drive wave generation method for making a driver element drive, and makes sequential selection of two or more one drive data points of every for generating the (a) aforementioned drive wave to predetermined timing, respectively, (b) — the process which carries out sequential accumulation of said selected drive data point to predetermined accumulation timing, and (c), when [said] the accumulation result of a bit tends to exceed two or more one boundary value of the predetermined range the process which sets said accumulation result as the predetermined set point near said boundary value, and (d) — a drive wave generation method equipped with said process which carries out the digital to analog of two or more specific high order bits among the accumulation results of a bit.

[Claim 10] It is the drive wave generation method with which it is a drive wave generation method according to claim 9, and said process (c) includes the process which judges whether said accumulation result exceeds said boundary value based on the carry signal of said accumulation result, and the most significant bit of said drive data point.

[Claim 11] It is a drive wave generation method including the process which sets said accumulation result as said lower limit when it is a drive wave generation method according to claim 10, said process (c) sets said accumulation result as said upper limit when said accumulation result exceeds the upper limit of said predetermined range, and said accumulation result exceeds the lower limit of said predetermined range.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the technique which generates the drive wave for operating a driver element.

[0002]

[Description of the Prior Art] In recent years, as an output unit of a computer, the color printer of the type which carries out the regurgitation of the ink of **** from an ink head spreads, and it is widely used for printing the image which the computer etc. processed with multicolor many gradation. And in order to realize printing of many gradation, controlling the weight of the ink droplet breathed out from the nozzle of a recording head, and controlling the magnitude of the ink dot formed on print media is performed.

[0003] It was common to have expressed the halftone of a printing image in an ink jet printer conventionally by in how many pixels in fixed area an ink dot is formed by performing binary-ization of whether to form an ink dot. However, it is possible to express the halftone of a printing image with many gradation more by forming recently the ink dot of the magnitude from which plurality differs in 1 pixel using the ink of a shade.

[0004] For example, in order to form the ink dot from which magnitude differs in the ink jet printer using a piezo-electric element, the control of a meniscus (the shape of surface type of the ink in nozzle opening) and the control of the timing of the regurgitation of an ink droplet in nozzle opening of a recording head are important. Therefore, in order to form a desired ink dot, changing the drive wave which operates the piezo-electric element of a recording head according to the magnitude of the ink dot to form is performed.

[0005] The drive wave which operates a piezo-electric element has been controlled by the approach of memorizing all the absolute values of the driver voltage in the time amount of arbitration in memory beforehand, and the approach of switching the resistance from which resistance differs using a piezo-electric element forming a capacitor between piezo-electric elements. However, in the case of the former, in order to memorize the drive wave, many memory is needed, and in the case of the latter, it has the problem which needs the pulse signal of complicated timing.

[0006] In order to solve these troubles, the variation of the electrical potential difference in the time amount of the arbitration of a drive wave is decided, and the method of acquiring a drive wave programmably etc. is proposed by carrying out sequential addition of the value with the adder.

[0007] Drawing 12 is the block diagram showing the internal configuration of the conventional drive wave generation circuit 100 for generating a drive wave. Drawing 13 is the explanatory view showing the process which generates the drive wave in the drive wave generation circuit 100 shown in drawing 12. The drive wave generation circuit 100 shown in drawing 12 is equipped with memory 102, the accumulation section 104, and a digital to analog converter 104. The drive data point which shows the wave of a driving signal COM is stored in memory 102. As shown in drawing 13 (a), in the accumulation section 104, sequential accumulation of the drive data points ΔV_1 , ΔV_2 , and ΔV_3 read from memory 102 is carried out synchronizing with the clock signal CLK. Here, a drive data point is data

showing the variation of the driver voltage of per the 1 period t of a clock signal CLK. A driving signal COM is generated by carrying out the digital to analog of the 10-bits of the high orders by the digital to analog converter 106 among this 18-bit accumulation result.

[0008]

[Problem(s) to be Solved by the Invention] In the approach of drawing 13, if the drive data points ΔV_1 , ΔV_2 , and ΔV_3 and the value which accumulated — become zero over the 1-pixel section, the level of the start edge and termination of a drive wave is completely in agreement. However, the accumulation value of the drive data point over the 1-pixel section does not become zero in fact in many cases. This reason is that an operation error arises in case a drive data point is set up. For example, the 1st drive data point ΔV_1 is determined by doing the division of the design value ΔV_1 of the electrical-potential-difference change in $8t$ of the accumulation period by the number of the accumulation periods in $8t$ of the period (namely, 8). When this division cannot be accepted, the drive data point ΔV_1 will include a rounding error. This rounding error caused the error of the accumulation value in the termination of the 1-pixel section. It is possible for such an error to decrease, if the number of bits of the lower bit which is not set as the object of a digital to analog is made to increase, and to set an error to 0 about a high order bit. However, it is difficult to make a accumulation error into zero about a lower bit.

[0009] With conventional drive wave generation equipment, the wave with which sequential are recording was carried out for every 1-pixel section and such an error shifted [wave] from the desired drive wave to the 2nd latch 108 may be generated. That is, when it is, for example, going to acquire the drive wave shown in drawing 14 (a), as shown in drawing 14 (b), an error e_1 will be accumulated for every period, the start edge potential of a drive wave will shift, and it will shift from a desired drive wave. When an error e_1 is further accumulated from the condition of drawing 14 (b), an adder 106 may cause overflow and an underflow and a drive wave may change a lot suddenly.

[0010] Drawing 15 is the explanatory view showing a normal drive wave and a drive wave when an adder 106 causes overflow and an underflow. Since an adder output will jump to the value near a lower limit LL if an addition result exceeds the upper limit UL of the output of an adder 106 as shown in drawing 15 (b), a drive wave changes sharply. Moreover, since an adder output will jump to the value near a upper limit UL if an addition result exceeds the lower limit LL of the output of an adder 106 as shown in drawing 15 (c), a drive wave changes sharply also at this time. Thus, when the cumulative error was accumulated, the drive wave may have changed a lot suddenly and the overcurrent may have flowed in the circuit.

[0011] In case this invention is made for the purpose of solving the above-mentioned problem and accumulates a drive data point in the generation process of a drive wave, it aims at preventing that a drive wave changes rapidly according to a accumulation error.

[0012]

[The means for solving a technical problem, and its operation and effectiveness] In order to solve a part of above-mentioned technical problem [at least], this invention carries out sequential accumulation of two or more drive data points for generating a drive wave, carries out the digital to analog of the specific high order bit among the accumulated two or more bits accumulation results, and outputs it as an analog signal. In case a drive data point is accumulated, when a two or more bits accumulation result tends to exceed one boundary value of the predetermined range, a accumulation result is set as the predetermined value near the boundary value. Since it can prevent that a accumulation result jumps to the boundary value of the opposite side by carrying out like this, a drive wave becomes possible [preventing changing rapidly].

[0013] In addition, in case a drive data point is accumulated, you may make it judge whether a accumulation result exceeds boundary value based on the carry signal of a accumulation result, and the most significant bit of a drive data point. By carrying out like this, it can judge easily whether a accumulation result exceeds boundary value.

[0014] Moreover, when a accumulation result exceeds the upper limit of the predetermined range, a accumulation result is set as the upper limit, and when exceeding the lower limit of the predetermined

range, a accumulation result may be set as the lower limit.

[0015] In addition, this invention can be realized with various gestalten, such as an airline printer, drive wave generation equipment, and a drive wave generation method.

[0016]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained in order of the following based on an example.

A. airline printer whole configuration: — the configuration of B. drive wave generation equipment, and :

of operation — C. 2nd example: — D. 3rd example: — E. modification: [0017] A. The whole airline printer configuration : drawing 1 is the block diagram showing the whole airline printer configuration of this invention. The airline printer is equipped with a computer 90, the control circuit 40, the paper feed motor 23, the carriage motor 24 that performs horizontal scanning, and the recording head 50 as shown in drawing 1 .

[0018] By computer 90, the application program is operating under a predetermined operating system. The video driver and the printer driver are included in the operating system, an image is displayed on a display or various image processings are performed.

[0019] The control circuit 40 is equipped with the interface 41 which receives the printing signal from a computer 90 etc., RAM42 which performs various data storages, ROM43 which memorized the routine for various data processing etc., the oscillator circuit 44, the control section 45 which consists of a CPU etc., the drive wave generation circuit 46, and the interface 47 for sending a printing signal and a driving signal to the paper feed motor 23, the carriage motor 24, or a recording head 50.

[0020] RAM42 is used as receive buffer 42A, middle buffer 42B, or output-buffer 42C. The printing signal from a computer 90 is stored in receive buffer 42A through an interface 41. This data is converted with a pseudo code and stored in middle buffer 42B. And required processing is performed by the control section 45 with reference to font data, a graphic function, etc. in ROM43, dot pattern data are developed, and output-buffer 42C memorizes. Dot pattern data are sent to a recording head 50 through an interface 47.

[0021] Drawing 2 is the block diagram showing the electric configuration of a recording head 50. The recording head 50 is equipped with two or more shift registers 51A-51N corresponding to the number of nozzles, two or more latch circuits 52A-52N, two or more level shifters 53A-53N, two or more switching circuits 54A-54N, and two or more piezo-electric elements 55A-55N. The printing signal SI is inputted into shift registers 51A-51N synchronizing with the clock signal CLK from an oscillator circuit 44. And synchronizing with the latch signal Local Area Transport, it is latched to latch circuits 52A-52N. The latched printing signal SI is amplified to the electrical potential difference which can drive switching circuits 54A-54N by level shifters 53A-53N, and is supplied to switching circuits 54A-54N. The driving signal COM from the drive wave generation circuit 46 is inputted into a switching circuits [54A-54N] input side, and piezo-electric elements 55A-55N are connected to the output side.

[0022] Piezo-electric elements 55A-55N are supplied, and are operated, in the case of "0", a driving signal COM is intercepted, and switching circuits 54A-54N are not operated, when for example, the printing signal SI is "1." A piezo-electric element is a component to which the crystal structure performs conversion of distortion and electric-mechanical energy at a high speed extremely by impression of an electrical potential difference as everyone knows. Although not illustrated, if a driving signal COM is supplied to piezo-electric elements 55A-55N, according to it, piezo-electric elements 55A-55N will deform, and will also transform the wall of an ink room. This controls the regurgitation of the ink droplet from a nozzle. Printing is performed when the breathed-out ink droplet adheres to print media.

[0023] B. the configuration of drive wave generation equipment, and : of operation — internal configuration [of B-1. drive wave generation equipment]: — drawing 3 is the block diagram showing the internal configuration of the drive wave generation circuit 46. The drive wave generation circuit 46 has the adder 64 adding the memory 60 which memorizes the drive data point given from a control section 45, the 1st latch 62 who holds temporarily the drive data point read from memory 60, and the 1st latch's

62 output and the 2nd latch's 66 output mentioned later, the reversal prevention circuit 65, the 2nd latch 66, and the digital to analog converter 70 changed to an analog signal in the 2nd latch's 66 output. Moreover, it also has the voltage amplification section 72 which amplifies the changed analog signal to the electrical potential difference on which a piezo-electric element operates, and the current amplification section 74 for performing the current supply source corresponding to the amplified voltage signal. An adder 64 and the 2nd latch 66 constitute the accumulation section 68 which accumulates a drive data point. Various signals are supplied to the drive wave generation circuit 46 from a control section 45. That is, the 1st clock signal CLK1, the data signal showing a drive data point, an address signal A0 – A3, and an enable signal are supplied to memory 60. Moreover, the 2nd clock signal CLK2 and reset-signal RESET are supplied to the 1st latch 62. The 3rd clock signal CLK3 is supplied to the reversal prevention circuit 65. The 3rd clock signal CLK3 and reset-signal RESET are supplied to the 2nd latch 66. Reset-signal RESET supplied to the 1st and the 2nd latch 62 and 66 is the same. Moreover, the same is said of the 3rd clock signal CLK3 supplied to the reversal prevention circuit 65 and the 2nd latch 66. In addition, this drive wave generation circuit 46 functions with the control section 45 shown in drawing 1, and RAM42 and ROM43 as drive wave generation equipment. Moreover, the reversal prevention circuit 65 functions as a accumulation result correction circuit.

[0024] B-2. The generation method of a drive wave : drawing 4 is a timing chart which shows the timing which writes in a drive data point in memory 60. In advance of generation of the drive wave COM, the data signal which shows a drive data point, and the address of the data signal are supplied to memory 60 from a control section 45 synchronizing with the 1st clock signal CLK1. Although a data signal is 1 bit, as shown in drawing 4, 1 bit of drive data points is transmitted at a time by the serial transmission which makes the 1st clock signal CLK1 a synchronizing signal. That is, in transmitting a drive data point to memory 60 from a control section 45, synchronizing with the 1st clock signal CLK1, it supplies a data signal by two or more bits first. Then, the address signal A0 showing the write-in address for storing this data – A3, and an enable signal are supplied. To the timing to which this enable signal was supplied, memory 60 reads an address signal and writes the received drive data point in that address. Since an address signal A0 – A3 are 4 bits, a maximum of 16 kinds of drive data points are memorizable in memory 60.

[0025] Drawing 5 is the explanatory view showing the process which generates the drive wave in the drive wave generation circuit 46. If the read-out address B is outputted as an address signal A0 – A3 after the writing of the drive data point into memory 60 is completed, the first drive data point ΔV_1 will be outputted from memory 60. Then, generating of the pulse of the 2nd clock signal CLK2 holds this drive data point ΔV_1 at the 1st latch 62. It is in this condition, and if the pulse of the 3rd clock signal CLK3 next occurs, the 2nd latch's 66 output of 18 bits and the 1st latch's 62 output of 16 bits will be added by the adder 64, and that addition result will be held at the 2nd latch 66. That is, whenever it will once receive the 3rd clock signal CLK3 after that if the drive data point corresponding to an address signal is chosen as shown in drawing 5, the value of the drive data point accumulates for the 2nd latch's 66 output. Under the present circumstances, the reversal prevention circuit 65 judges whether the output of an adder 64 exceeds that upper limit "111—111" (18 bits). And the reversal prevention circuit 65 outputs the value according to the judgment.

[0026] In the example shown in drawing 5, the drive data point which shows that only ΔV_1 raises the electrical potential difference of per the 1 period t of the 3rd clock signal CLK3 is stored in Address B. Therefore, when Address B becomes effective with the 2nd clock signal CLK2, the electrical potential difference will rise every $[1 / \Delta V]$. Moreover, $\Delta V_2=0$, i.e., the value which shows that an electrical potential difference is held, is stored in Address A as a drive data point. Therefore, if Address A becomes effective with the 2nd clock signal CLK2, the wave of a driving signal will be maintained at the flat condition that there are no increase and decrease. Moreover, the drive data point which shows that only ΔV_3 reduces the electrical potential difference of per the 1 period t of the 3rd clock signal CLK3 is stored in Address C. Therefore, after Address C becomes effective with the 2nd clock signal CLK2, the electrical potential difference will fall every $[3 / \Delta V]$. In addition, an increment or

reduction is determined by the sign of the data stored in each address.

[0027] In this way, the voltage-level data D0 of 10 bits of high orders are inputted into a digital to analog converter 70 among the 18-bit addition results added by the adder 64. Moreover, the 18-bit whole addition result is reinputted by the adder 64. Consequently, the voltage-level data D0 outputted by the 2nd latch 66 change gradually, as shown in drawing 5 (a). This voltage-level data D0 is changed by the digital to analog converter 70, and the drive wave shown in drawing 5 (b) is formed.

[0028] In addition, the negative number is expressed for the drive data point read from memory 60 by the two's complement display. Moreover, although the drive data point inputted into an adder 64 is 16 bits, when added, the value of the most significant bit (the 16th bit) is used for the 18th bit as it is with the 17th bit. About addition actuation of such an adder 64, it mentions later.

[0029] B-3. The internal configuration of a reversal prevention circuit, and actuation : drawing 6 is the block diagram showing the internal configuration of the reversal prevention circuit 65. The reversal prevention circuit 65 is equipped with 18 AND gates AGS0-AGS17, 18 AND gates AGR0-AGR17, and 18 D flip-flops DFF0-DFF17. 1st AND gate AGS0-AGS17 takes an AND with the carry C outputted from an adder 64, and inputs the output into the set terminal S of D flip-flops DFF0-DFF17 as the reversal signal of most significant bit MSB of the 16-bit drive data point given by the 1st latch 62. 2nd AND gate AGR0-AGR17 takes the AND of most significant bit MSB of the 16-bit drive data point given by the 1st latch 62, and the reversal signal of the carry C outputted from an adder 64, and inputs the output into the reset terminal R of D flip-flops DFF0-DFF17. D flip-flops DFF0-DFF17 update outputs Q0-Q17 synchronizing with the negative going edge of a clock signal CLK3. That is, for the set terminal S and the reset terminal R, all are OUT0OUT1 it is [OUT] as a result of [of an adder 64] accumulation at the time of "0"... It is OUT17 Output Q0Q1 of D flip-flops DFF0-DFF17 ... It outputs as it is as Q17. Moreover, by "0", the set terminal S resets altogether the outputs Q0-Q17 of D flip-flops DFF0-DFF17 to "0", when the reset terminal R is "1." Furthermore, by "1", the set terminal S sets altogether the outputs Q0-Q17 of D flip-flops DFF0-DFF17 to "1", when the reset terminal R is "0."

[0030] In addition, although the AND gate of a pair is prepared to D flip-flops DFF0-DFF17 each, respectively, you may make it instead share the AND gate of a pair between 18 whole D flip-flops DFF0-DFF17 in the example of drawing 6 .

[0031] Drawing 7 is an explanatory view explaining the addition processing performed in an adder 64, and the correction approach of an addition result. Here, since it is easy, an addition result is 8 bits and the drive data point given by the 1st latch 62 is explained as what is 6 bits. In addition, the actual drive data point is expressed by the 16-bit two's complement display, and in case it is added in an adder 64, the value of the most significant bit MSB (the 16th bit) is used for the 18th bit as it is with the 17th bit. So, in the following explanation, the value (value enclosed with O in drawing) of most significant bit MSB (the 6th bit) of a 6-bit drive data point is used for the 8th bit as it is with the 7th bit, and addition is performed.

[0032] Drawing 7 (a) is the case where a drive data point "010110" ("22" of a decimal number) is added to a accumulation result "11100100" ("228" of a decimal number). In this addition, there is no digit riser and Carry C is "0." Moreover, MSB of a drive data point is "0." Therefore, "0" is inputted into both the set terminals S and reset terminals R of D flip-flop DFF, and an addition result "11111010" is outputted to them as it is from D flip-flops DFF0-DFF17.

[0033] Drawing 7 (b) is the case where a drive data point "010110" ("22" of a decimal number) is added to a accumulation result "11101011" ("235" of a decimal number). In this addition, there is a digit riser and Carry C is "1." Moreover, MSB of a drive data point is "0." Therefore, "1" is inputted into the set terminal S of D flip-flop DFF, "0" is inputted into the reset terminal R, respectively, and a upper limit "11111111" is outputted from D flip-flops DFF0-DFF17.

[0034] Drawing 7 (c) is the case where a drive data point "101010" ("-22" of a decimal number) is added to a accumulation result "00011101" ("29" of a decimal number). In this addition, there is a digit riser and Carry C is "1." Moreover, MSB of a drive data point is "1." Therefore, "0" is inputted into both the set terminals S and reset terminals R of D flip-flop DFF, and "00000111" is outputted to them

as it is from D flip-flops DFF0–DFF17.

[0035] Drawing 7 (d) is the case where a drive data point "101010" ("–22" of a decimal number) is added to an accumulation result "00001101" ("13" of a decimal number). In this addition, there is no digit riser and Carry C is "0." Moreover, MSB of a drive data point is "1." Therefore, "0" is inputted into the set terminal S of D flip-flop DFF, "1" is inputted into the reset terminal R, respectively, and a lower limit "00000000" is outputted from D flip-flops DFF0–DFF17.

[0036] thus — the addition result in an adder 64 seems to exceed an upper limit or a lower limit in the 1st example — ** — when carrying out, the addition result inputted into the 2nd latch 66 is compulsorily set as an upper limit or a lower limit. Consequently, it can prevent that a driver voltage wave changes rapidly and an overcurrent flows in a circuit.

[0037] C. The 2nd example : drawing 8 is the block diagram showing the configuration of the accumulation section in the 2nd example. Since the preceding paragraph of an adder 64 and the 2nd latch's 66 latter part are the same as that of the drive wave generation circuit 46 of the 1st example mentioned above, explanation is omitted. In the 2nd example, the selector 67 is formed between an adder 64 and the 2nd latch 66. Moreover, data registers 63a and 63b and the judgment circuit 69 are connected to the selector 67, and the judgment circuit 69 functions on it as these data registers 63a and 63b and a selector 67 as a reversal prevention circuit.

[0038] The data which are 18 bits all of each bit of whose are "1" are set as the 1st data register 63a. Moreover, the data which are 18 bits all of each bit of whose are "0" are set as the 2nd data register 63b. A selector 67 chooses and outputs one of three data inputted from data registers 63a and 63b and an adder 64 according to the output of the judgment circuit 69.

[0039] The judgment circuit 69 has the AND gate (for example, AGS0, AGR0) of the pair shown in drawing 6, and AND gates 69a and 69b of the same pair. That is, this judgment circuit 69 judges whether the addition result of an adder 64 exceeds that upper limit or lower limit based on the carry C outputted from an adder 64, and MSB of a drive data point, and outputs the 2-bit data Q69 in which that judgment result is shown.

[0040] Drawing 9 is an explanatory view explaining the output Q67 of a selector 67 according to MSB of the carry C outputted from an adder 64, and a drive data point. MSB of Carry C and a drive data point — both — "0" — or both the outputs Q69 of the judgment circuit 69 are "00" at the time of "1", and a selector 67 outputs the accumulation result Q64 of an adder 64 as it is. Moreover, the output Q69 of the judgment circuit 69 is "01", and, as for a selector 67, Carry C outputs the data the whole of each bit of whose is 18 bits which is "0", when MSB of "0" and a drive data point is "1." Furthermore, the output Q69 of the judgment circuit 69 is "10", and, as for a selector 67, Carry C outputs the data the whole of each bit of whose is 18 bits which is "1", when MSB of "1" and a drive data point is "0."

[0041] Thus, it can prevent that a driver voltage wave changes rapidly and an overcurrent flows in a circuit also by the circuit of the 2nd example.

[0042] D. The 3rd example : drawing 10 is the block diagram showing the internal configuration of the drive wave generation circuit 46 as the 3rd example. It is the same as the 1st example except the point that the floor signal FLOOR is inputted into the 2nd latch 66 from the control section 45 of drawing 1 in the 3rd example.

[0043] As explained using drawing 13, the accumulation value in the accumulation section 68 includes the accumulation error in the lower bit. The wave [wave / desired / drive] shifted will be generated by the accumulation error included in this lower bit. So, in the 3rd example, the accumulation error of 8 bits of low order is cleared using the floor signal FLOOR among the 18-bit data in the accumulation section 68.

[0044] Drawing 11 is a timing chart which shows the timing which clears 8 bits of the 2nd latch's 66 low order. Here, the same drive wave shall be repeated by every [of the 1 pixel section] period T. The value VM of the voltage-level data D0 in the start edge and termination of the 1-pixel section (it is hereafter called "start edge level") has the predetermined value which is not zero. The start edge and termination of the 1-pixel section are prescribed by the printing timing signal PTS generated within a

control section 45. In case the printing timing signal PTS forms an ink dot in each pixel location, it is a signal which directs initiation of the output of a drive wave. The floor signal FLOOR is a signal which directs the timing t0 which clears 8 bits of the 2nd latch's 66 low order. If the floor signal FLOOR is inputted into the 2nd latch 66 from a control section 45, only 8 bits of the 2nd latch's 66 low order will be cleared, and 10 bits of high orders will be maintained by the start edge level VM. In the 3rd example, the floor signal FLOOR is inputted for the every same timing as the printing timing signal PTS, i.e., the period of a drive wave. In this case, the printing timing signal PTS may be used as a floor signal FLOOR. Moreover, this timing is not limited to this, may input the floor signal FLOOR to the timing t0 from which the voltage-level data D0 outputted by the 2nd latch 66 are set to VM, t1 grade, and the timing which the output value understands beforehand, and may clear 8 bits of low order.

[0045] According to the 3rd example, since the error of a drive data point is cleared to predetermined timing, accumulation of the error of a drive data point can be prevented and the drive wave of a desired complicated profile can be acquired easily. Furthermore, even if the accumulation result in an adder 64 may exceed a upper limit or a lower limit, without performing the clearance of the error of the drive data point based on the floor signal FLOOR by a certain reason, it can prevent that a driver voltage wave changes rapidly and an overcurrent flows in a circuit.

[0046] E. Modification : operation in the mode which becomes various within limits which are not limited to the gestalt of above-mentioned operation at all, and do not deviate from the summary is possible for this invention, for example, the following deformation is also possible for it.

[0047] Modification 1 : E-1. In the above-mentioned example, when the addition result of an adder 64 exceeds the upper limit (value which is 18 bits all of each bit of whose are "1") or lower limit (value which is 18 bits all of each bit of whose are "0") Although he was trying to set compulsorily the data held at the 2nd latch 66 as a upper limit or a lower limit, the data held at the 2nd latch 66 can be set as the any value near the upper limit or lower limit of an addition result. For example, it is also possible to use the set point which sets all specific lower order bits as "0", and sets all the high order bits beyond it as "1" instead of a upper limit.

[0048] Moreover, although it had judged whether the reversal prevention circuit 65 would exceed the upper limit of the addition result of an adder 64, or a lower limit in the above-mentioned example, you may make it judge whether one boundary value of the predetermined range of all the range that an adder 64 can instead take is exceeded. For example, you may make it judge whether one boundary value of the values of the range of 5-250 ("5" or "250") is exceeded, when the output of an adder 64 is 8 bits instead of judging whether the upper limit "255" and lower limit "0" are exceeded, although an addition result can take the value of 0-255 with a decimal number. That is, what is necessary is just to set the accumulation result as the predetermined set point near the boundary value generally, when the accumulation result of a drive data point tends to exceed one boundary value of the predetermined range.

[0049] E-2. Modification 2 : the drive wave generation equipment and the drive wave generation method of this invention are not only used for the airline printer shown in the gestalt of operation mentioned above, but are applicable as the drive wave generation equipment which drives other actuators etc., and a drive wave generation method.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the whole airline printer configuration of this invention.

[Drawing 2] It is the block diagram showing the electric configuration of a recording head.

[Drawing 3] It is the block diagram showing the internal configuration of the drive wave generation circuit of this invention.

[Drawing 4] It is the timing chart which shows the timing which writes in a drive data point in memory.

[Drawing 5] It is an explanatory view explaining the process which generates the drive wave.

[Drawing 6] It is the block diagram showing the internal configuration of the reversal prevention circuit of this invention.

[Drawing 7] It is an explanatory view explaining the addition processing performed in an adder 64, and the correction approach of an addition result.

[Drawing 8] It is the block diagram showing the configuration of the accumulation section in the 2nd example of this invention.

[Drawing 9] It is an explanatory view explaining the output of a selector according to MSB of the carry C outputted from an adder 64, and a drive data point.

[Drawing 10] It is the block diagram showing the internal configuration of the drive wave generation circuit as the 3rd example of this invention.

[Drawing 11] It is an explanatory view explaining the timing which inputs the floor signal in the 3rd example.

[Drawing 12] It is the block diagram showing the internal configuration of the conventional drive wave generation circuit.

[Drawing 13] It is an explanatory view explaining how to generate the drive wave.

[Drawing 14] It is an explanatory view explaining accumulation of the error in the generation process of a drive wave.

[Drawing 15] It is the explanatory view showing a normal drive wave and a drive wave when an adder causes overflow and an underflow.

[Description of Notations]

23 --- Paper feed motor

24 --- Carriage motor

40 --- Control circuit

41 --- Interface

42 --- RAM

42A --- Receive buffer

42B --- Middle buffer

42C --- Output buffer

43 --- ROM

44 --- Oscillator circuit

45 --- Control section

46 --- Drive wave generation circuit

50 — Recording head
51A-51N — Shift register
52A-52N — Latch circuit
53A-53N — Level shifter
54A-54N — Switching circuit
55A-55N — Piezo-electric element
60 — Memory
62 — The 1st latch
63a — Data register
63b — Data register
64 — Adder
65 — Reversal prevention circuit
66 — The 2nd latch
67 — Selector
68 — Accumulation section
68a — Accumulation section
69 — Judgment circuit
69a — AND gate
69b — AND gate
70 — D/A converter
72 — Voltage amplification section
74 — Current amplification section
90 — Computer
100 — Drive wave generation circuit
102 — Memory
104 — Accumulation section
106 — D/A converter

[Translation done.]

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.